

PUB-NO: DE010163306A1

DOCUMENT-IDENTIFIER: DE 10163306 A1

TITLE: Dynamic memory (DRAM) with programmable brush-up  
frequency

PUBN-DATE: April 3, 2003

INVENTOR-INFORMATION:

NAME

EGERER, JENS

COUNTRY

DE

ASSIGNEE-INFORMATION:

NAME

INFINEON TECHNOLOGIES AG

COUNTRY

DE

APPL-NO: DE10163306

APPL-DATE: December 21, 2001

PRIORITY-DATA: DE10163306A ( December 21, 2001)

INT-CL (IPC): G11C011/406

EUR-CL (EPC): G11C011/406

ABSTRACT:

CHG DATE=20030912 STATUS=N>The DRAM (1) contains a memory cell field (2) with numerous, addressable memory cells and an adjustable clock signal generator (6) for brush-up of the cells. An adjustable circuit (11) adjusts the brush-up frequency of the clock signal generator delivered brush-up clock signal. The circuit operates in dependence on a temp. detection signal of a temp. sensor circuit (16). The brush-up frequencies are programmable for different temp. regions.



**19 BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

**Offenlegungsschrift**  
**DE 101 63 306 A 1**

Int. Cl.<sup>7</sup>:  
**G 11 C 11/406**

21 Aktenzeichen: 101 63 306.8  
 22 Anmeldetag: 21. 12. 2001  
 43 Offenlegungstag: 3. 4. 2003

**DE 101 63 306 A 1**

**Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG**

**71) Anmelder:**  
Infineon Technologies AG, 81669 München, DE

**74 Vertreter:**  
PAe Reinhard, Skuhra, Weise & Partner GbR, 80801  
München

⑦2 Erfinder:  
Egerer, Jens, 81827 München, DE

Ⓜ Entgegenhaltungen:

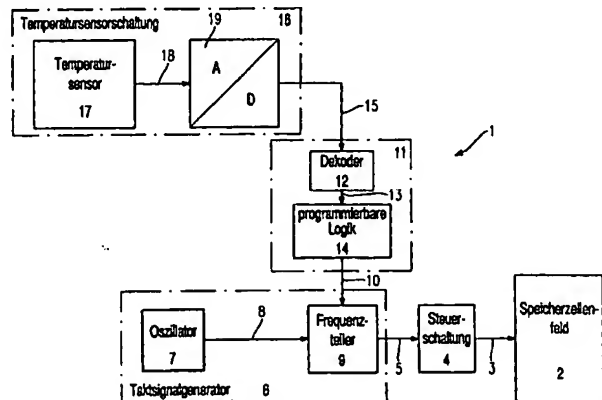
DE	195 02 557 C2
EP	08 51 427 A2
JP	04-15 890 A

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4) Dynamischer Speicher mit programmierbarer Auffrischfrequenz

(51) Dynamischer Speicher mit programmierbarer Auffrischfrequenz mit einem Speicherzellenfeld (2), das eine Vielzahl von adressierbaren Speicherzellen enthält; einem einstellbaren Taktsignalgenerator (6), der ein Auffrisch-Taktsignal zum Auffrischen der Speicherzellen in dem Speicherzellenfeld (2) erzeugt; einer Temperatursensorschaltung (16), die die Temperatur des Speichers (1) erfasst und ein Temperatur-Dektionssignal abgibt; einer Einstellschaltung (11), die in Abhängigkeit von dem Temperatur-Dektionssignal die Auffrischfrequenz das von dem Taktsignalgenerator (6) abgegebenen Auffrisch-Taktsignals einstellt; wobei die Auffrischfrequenzen für verschiedene Temperaturbereiche programmierbar sind.



**DE 101 63 306 A 1**



[0001] Die vorliegende Erfindung betrifft einen integrierten dynamischen Speicher (DRAM), dessen Speicherzellen mit einem Auffrisch-Taktsignal aufgefrischt werden, wobei die Auffrischfrequenzen für verschiedene Temperaturbereiche programmierbar sind.

[0002] Ein dynamischer Speicher (DRAM) enthält eine Vielzahl von Speicherzellen, die über Wort- und Bitleitungen adressierbar sind. Die Speicherzellen bestehen aus einem Speicherkondensator und einem zugehörigen Auswahltransistor. Über den Auswahltransistor kann der Speicherkondensator direkt an eine der Bitleitungen geschaltet werden. Die Steueranschlüsse der Auswahltransistoren sind zur Auswahl der Speicherzellen jeweils mit einer Wortleitung verbunden. Nach Aktivieren einer Wortleitung liegen an den Bitleitungen Datensignale der Speicherzellen entlang der ausgewählten Wortleitung an. Ein Datensignal einer Speicherzelle wird in einem Leseverstärker des Speicherzellenfeldes verstärkt. Bei einem Lesezugriff auf den DRAM-Speicher werden die Datensignale ausgewählter Speicherzellen zur Weiterverarbeitung ausgelesen und bei einem Schreibzugriff auf den DRAM-Speicher werden die Datensignale in die ausgewählten Speicherzellen eingeschrieben.

[0003] Bei DRAM-Speichern ist es in Betriebszeiten, in denen auf den DRAM-Speicher von außen nicht zugegriffen wird, notwendig, den Speicherzelleninhalt der Speicherzellen aufzufrischen. Der Speicherzelleninhalt der Speicherzellen kann sich beispielsweise durch Leckströme des Speicherkondensators oder über den Auswahltransistor verflüchtigen. Um den Speicherinhalt, d. h. die in dem Speicherkondensator gespeicherte Ladung, zu erhalten, sind daher die Speicherzellen in regelmäßigen Abständen aufzufrischen. In einem Auffrischbetriebsmodus des DRAM-Speichers werden die bewerteten und verstärkten Datensignale direkt in die betreffenden Speicherzellen zurück geschrieben.

[0004] Die maximal erzielbare Haltezeit des Speicherzelleninhalts einer Speicherzelle (sog. Retention Time) ist maßgeblich für die maximal zulässige Zeitdauer zwischen zwei Auffrischzyklen für eine Speicherzelle. Je größer die Haltezeit der Speicherzelle, desto kleiner kann die Auffrisch-Signalfrequenz des Auffrisch-Taktsignals (zwischen dem Speicherzellenfeld) gewählt werden. Vor allem in einem sog. Standby-Betrieb des DRAM-Speichers wird die Stromaufnahme des Speichers durch das Auffrischen der Speicherzellen bestimmt. Mit zunehmender Auffrisch-Signalfrequenz des Auffrisch-Taktsignals zum Auffrischen des Speicherzellenfeldes nimmt die Stromaufnahme des Speichers zu.

[0005] Zur Minimierung der Stromaufnahme eines DRAM-Speichers wurde daher in der deutschen Patentanmeldung 101 51 945.1 die in Fig. 1 dargestellte Schaltungsanordnung vorgeschlagen.

[0006] Der in Fig. 1 dargestellte DRAM-Speicher nach dem Stand der Technik weist ein Speicherzellenfeld mit einer Vielzahl von adressierbaren Speicherzellen auf. Der DRAM-Speicher enthält ferner eine Steuerungsschaltung zur Steuerung des Auffrisch-Betriebs zum Auffrischen der Speicherzellen innerhalb des Speicherzellenfeldes. Dabei werden die Speicherzellen des Speicherzellenfeldes mit einer Auffrisch-Frequenz einer Auffrischung ihres Speicherzelleninhalts unterzogen. Die Steuerschaltung erhält ein Taktsignal von einem Taktsignalgenerator. Dabei enthält der Taktsignalgenerator einen Oszillator, der ein Taktsignal mit einer konstanten Taktfrequenz liefert und an einen einstellbaren Frequenzteiler abgibt. Der Teilungsfaktor des Frequenzteilers wird durch eine Temperatursensorschaltung eingestellt. Die Temperatursensorschaltung umfasst einen

analogen Temperatursensor zur Messung der Temperatur des DRAM-Speichers. Das von dem Temperatursensor erzeugte Messsignal wird anschließend durch einen Analog/Digital-Wandler in ein digitales Einstellsignal zum Einstellen eines Teilungsfaktors für den Frequenzteiler umgewandelt. Die Haltezeit einer Speicherzelle innerhalb des Speicherzellenfeldes nimmt mit steigender Speichertemperatur exponentiell ab. Dementsprechend muss die Auffrisch-Frequenz zum Auffrischen des Speicherzellenfeldes für die Steuerschaltung erhöht werden bzw. die Auffrischperiodendauer auf das des Taktsignals abgesenkt werden.

[0007] Fig. 2 zeigt eine Kennlinie des in Fig. 1 dargestellten DRAM-Speichers nach dem Stand der Technik. In Abhängigkeit von dem durch die Temperatursensorschaltung erfassten Temperatursignals wird der Teilungsfaktor des Frequenzteilers innerhalb des Taktsignalgenerators derart eingestellt, dass die normierte Auffrischperiodendauer des Auffrisch-Taktsignals zum Auffrischen der Speicherzellen für verschiedene Temperaturbereiche  $T_{Bi}$  unterschiedliche Werte aufweisen. Bei dem in Fig. 2 dargestellten Beispiel hat die normierte Auffrischperiodendauer in einem unteren Temperaturbereich  $T_{B_A}$  bis zu einer ersten Grenz-Temperatur  $T_1$  den Wert acht. Bei Überschreiten der Temperatur  $T_1$  wird der Frequenzteilungsfaktor des Frequenzteilers halbiert und ein höherfrequentes Auffrisch-Taktsignal mit einer halbierten normierten Auffrisch-Periodendauer wird an die Steuerschaltung zum Auffrischen des Speicherzellenfeldes angelegt. In höheren Temperaturbereichen wird die normierte Auffrisch-Periodendauer durch die Absenkung des Frequenzteilungsfaktors weiter abgesenkt.

[0008] Durch die in Fig. 2 dargestellte Kennlinie ist die Zeitdauer zwischen zwei Auffrischzyklen in einem niedrigen Temperaturbereich relativ hoch, jedoch geringer als die Haltezeit der Speicherzellen, die bei niedrigen Temperaturen relativ lang ist. Durch die lange Auffrisch-Periodendauer ist die Stromaufnahme des dynamischen Speichers im Standby-Betrieb gering.

[0009] Der Nachteil eines DRAM-Speichers mit der in Fig. 2 dargestellten Kennlinie besteht jedoch darin, dass die Grenztemperaturen  $T_i$  zwischen den verschiedenen Temperaturbereichen  $T_B$  konstant sind.

[0010] Stellt sich beispielsweise heraus, dass die Grenztemperatur  $T_1$ , bei der die Auffrisch-Periodendauer durch Halbierung des Frequenzteilungsfaktors halbiert wird, unterhalb von 20°C liegen muss, da sich der Speicherzelleninhalt sonst bereits aufgrund der relativ hohen normierten Auffrisch-Periodendauer verflüchtigt hat, besteht die Gefahr einer Fehlfunktion des DRAM-Speichers. Ein Ausgleich kann nur durch eine relativ aufwendige Kalibrierung der Temperatursensorschaltung erreicht werden. Die in Fig. 2 dargestellte starre Kennlinie bei dem DRAM-Speicher nach dem Stand ermöglicht keine flexible Anpassung an technologische Notwendigkeiten. Eine individuelle Anpassung der Auffrischperiodendauer an verschiedene Haltezeiten der in dem Speicherzellenfeld enthaltenen Speicherzellen ist nur mittels aufwendiger Kalibrierverfahren für den Temperatursensor möglich.

[0011] Es ist daher die Aufgabe der vorliegenden Erfindung, einen DRAM-Speicher zu schaffen, bei dem das Auffrisch-Taktsignal in einfacher Weise an die Haltezeit der in dem Speicherzellenfeld enthaltenen Speicherzellen anpassbar ist.

[0012] Diese Aufgabe wird erfindungsgemäß durch einen dynamischen Speicher mit den im Patentanspruch 1 angegebenen Merkmalen gelöst.

[0013] Die Erfindung schafft einen dynamischen Speicher mit programmierbarer Auffrischfrequenz mit einem Speicherzellenfeld, das eine Vielzahl von adressier-



baren Speicherzellen enthält, einem einstellbaren Taktsignalgenerator, der ein Auffrisch-Taktsignal zum Auffrischen der Speicherzellen an das Speicherzellenfeld abgibt, einer Temperatursensorschaltung, die die Temperatur des Speichers erfasst und ein Temperatur-Detektionssignal abgibt, einer Einstellschaltung, die in Abhängigkeit von dem Temperatur-Detektionssignal die Auffrischfrequenz des von dem Taktsignalgenerator abgegebenen Auffrisch-Taktsignals einstellt, wobei die Auffrischfrequenzen für verschiedene Temperaturbereiche programmierbar sind.

[0014] Bei einer bevorzugten Ausführungsform des erfindungsgemäßen dynamischen Speichers weist die Temperatursensorschaltung einen analogen Temperatursensor, der die Temperatur des Speichers misst und ein analoges Temperatursignal abgibt, und einen Analog/Digital-Wandler auf, der das analoge Temperatursignal in das digitale Temperatur-Detektionssignal umwandelt.

[0015] Bei einer bevorzugten Ausführungsform des erfindungsgemäßen DRAM-Speichers weist die Einstellschaltung einen Decoder auf, der in Abhängigkeit von dem digitalen Temperatur-Detektionssignal ein digitales Temperaturbereichs-Anzeigesignal generiert, dass denjenigen Temperaturbereich anzeigt, in dem sich der Speicher befindet, und eine programmierbare Logikschaltung, die für die verschiedenen Temperaturbereiche jeweils ein Einstellsignal zum Einstellen einer Auffrischfrequenz an den Taktsignalgenerator abgibt.

[0016] Bei einer bevorzugten Ausführungsform des erfindungsgemäßen dynamischen Speichers weist der einstellbare Taktsignalgenerator einen Oszillator zur Generierung eines Taktsignals mit konstanter Frequenz und einen nachgeschalteten Frequenzteiler auf, der die Frequenz des generierten Taktsignals zur Erzeugung des Auffrisch-Taktsignals teilt.

[0017] Der Frequenzteilungsfaktor des Frequenzteilers wird vorzugsweise durch das von der programmierbaren Logikschaltung abgegebene Einstellsignal einstellt.

[0018] Die programmierbare Logikschaltung enthält vorzugsweise programmierbare Schaltelemente.

[0019] Die Auffrischfrequenz des von dem Taktsignalgenerator erzeugten Auffrisch-Taktsignals wird mit steigender Temperatur des Speichers durch die Einstellschaltung durch Absenken des Frequenzteilungsfaktors erhöht.

[0020] Im weiteren werden bevorzugte Ausführungsformen des erfindungsgemäßen dynamischen Speichers unter Bezugnahme auf die beigefügten Figuren beschrieben.

[0021] Es zeigen:

[0022] Fig. 1 einen DRAM-Speicher mit einstellbarer Auffrischfrequenz nach dem Stand der Technik.

[0023] Fig. 2 eine Kennlinie des in Fig. 1 dargestellten DRAM-Speichers nach dem Stand der Technik;

[0024] Fig. 3 ein Blockdiagramm einer bevorzugten Ausführungsform des erfindungsgemäßen DRAM-Speichers;

[0025] Fig. 4 ein in dem erfindungsgemäßen Speicher enthaltener Decoder;

[0026] Fig. 5, 5b Beispiele für programmierbare Logikschaltungen innerhalb des erfindungsgemäßen dynamischen Speichers;

[0027] Fig. 6 Kennlinien zur Erläuterung der Funktionsweise des erfindungsgemäßen dynamischen Speichers.

[0028] Fig. 3 zeigt eine bevorzugte Ausführungsform des erfindungsgemäßen dynamischen Speichers 1. Der dynamische Speicher 1 enthält ein Speicherzellenfeld 2 mit einer Vielzahl von Speicherzellen, wobei das Speicherzellenfeld 2 über eine Steuerleitung 3 durch eine Auffrisch-Steuerschaltung 4 zum Auffrischen der Speicherzellen im Standby-Betrieb angesteuert wird. Die Auffrisch-Steuerschaltung 4 empfängt über eine Taktleitung 5 ein Auffrisch-Taktsignal von einem einstellbaren Taktsignalgenerator 6.

Der Taktsignalgenerator 6 enthält einen Oszillator 7 zur Generierung eines Taktsignals mit konstanter Frequenz. Das Taktsignal wird von dem Oszillator 7 über eine Taktsignalleitung 8 an einen einstellbaren Frequenzteiler 9 abgegeben. Der Frequenzteiler 9 teilt die Taktfrequenz des von dem Oszillator 7 generierten Taktsignals entsprechend einem einstellbaren Frequenzteilungsfaktor. Dabei wird der Frequenzteilungsfaktor über Einstelleitungen 10 von einer Einstellschaltung 11 eingestellt.

[0030] Die Einstellschaltung 11 besteht im wesentlichen aus einem Decoder 12, dessen Ausgang über Leitungen 13 mit einer programmierbaren Logikschaltung 14 verbunden sind. Der Decoder 12 der Einstellschaltung 11 empfängt über Leitungen 15 ein Temperatur-Detektionssignal von einer Temperatursensorschaltung 16. Die Temperatursensorschaltung 16 enthält vorzugsweise einen analogen Temperatursensor 17, der die Temperatur des DRAM-Speichers 1 misst und ein analoges Temperatursignal über eine Signalleitung 18 an einen nachgeschalteten Analog/Digital-Wandler 19 abgibt. Der Analog/Digital-Wandler 19 wandelt das analoge Temperatursignal in das digitale Temperatur-Detektionssignal um und gibt es über die Leitungen 15 an den Decoder 12 innerhalb der Einstellschaltung 11 ab.

[0031] Der Decoder 12 innerhalb der Einstellschaltung 11 generiert in Abhängigkeit von dem digitalen Temperatur-Detektionssignal ein digitales Temperatur-Anzeigesignal, das den Temperaturbereich angibt, in dem sich der Speicher 1 befindet. Das Temperaturbereichs-Anzeigesignal wird über die Leitungen 13 an die nachgeschaltete programmierbare Logik 14 abgegeben, die für die verschiedenen Temperaturbereiche jeweils ein Einstellsignal zum Einstellen der Auffrisch-Frequenz des Auffrisch-Taktsignals an den einstellbaren Taktsignalgenerator 6 über die Einstelleitungen 10 abgibt. Die Auffrisch-Frequenz des von dem einstellbaren Taktsignalgenerator 6 erzeugten Auffrisch-Taktsignals, das über die Leitung 5 an die Steuerschaltung 4 zum Auffrischen des Speicherzellenfeldes 2 abgegeben wird, wird mit steigender Temperatur des Speichers 1 durch die Einstellschaltung 11 durch Erniedrigung des Frequenzteilungsfaktors für den Frequenzteiler 9 erhöht. Hierdurch wird gewährleistet, dass die Auffrischperiodendauer auch bei hohen Temperaturen unterhalb der in diesem Temperaturbereich niedrigen Haltezeit der Speicherzellen liegt.

[0032] Fig. 4 zeigt ein Beispiel für einen Decoder 12 innerhalb der Einstellschaltung 11. Das von den Analog/Digital-Wandler 19 abgegebene digitale Temperatur-Detektionssignal wird zu einem digitalen Temperatur-Bereichsanzeigesignal  $s_i$  verknüpft. Sind beispielsweise alle vier Ausgangsbits des Analog/Digital-Wandlers 19 logisch hoch, wird ein Temperaturbereich-Anzeigesignal  $S_{120}$  generiert, welches angibt, dass die Temperatur des Speichers zwischen 120°C und 110°C liegt. Sind die drei höherwertigen Ausgangsbits des Analog/Digital-Wandlers 19 logisch hoch und nur das unterste Bit des Analog/Digital-Wandlers logisch niedrig, wird ein Temperatur-Bereichsanzeigesignal  $S_{110}$  durch den Decoder 12 erzeugt, welches angibt, dass die Temperatur des Speichers 1 zwischen 110°C und 100°C liegt. Das von dem Decoder 12 generierte Temperatur-Bereichsanzeigesignal wird an die nachgeschaltete programmierbare Logik 14 abgegeben.

[0033] Fig. 5a, 5b zeigt ein Beispiel einer einfachen programmierbaren Logik 14 für zwei Temperaturbereiche TB.

[0034] Die programmierbaren Logikschaltungen 14a, 14b bestehen jeweils aus einem Feld 20 mit programmierbaren



Schaltelementen und einer Logikschaltung zur Verknüpfung der durchgeschalteten Temperatur-Bereichsanzeigesignale  $s_i$ . Die Schaltelemente innerhalb des Schaltelementfeldes 20 können fest verdrahtete Schalter bzw. Fuses sein, wie in Fig. 5a, 5b dargestellt.

[0035] Bei einer alternativen Ausführungsform sind die programmierbaren Schaltelemente Register, die jederzeit über Programmierleitungen umprogrammierbar sind. Durch die Programmierung des Schaltelementes des Schaltelementfeldes ist es möglich die Auffrischfrequenz für die verschiedenen Temperaturbereiche TB zu programmieren.

[0036] Fig. 6 zeigt die normierte Auffrisch-Periodendauer des von dem Taktsignalgenerator 6 abgegebenen Auffrisch-Taktsignals in Abhängigkeit von der Temperatur des DRAM-Speichers 1. Die Kennlinie A zeigt ein Beispiel einer Ausgangskennlinie. Bei einer ersten Grenz-Temperatur ( $T_1 = 20^\circ\text{C}$ ) wird die normierte Auffrisch-Periodendauer durch Halbierung des Frequenzteilungsfaktors halbiert. Bei einer weiteren Grenztemperatur  $T_2$  wird die normierte Auffrisch-Periodendauer nochmals halbiert. Bei einer dritten Grenztemperatur  $T_3$  wird eine weitere Halbierung der normierten Auffrisch-Periodendauer. Durch die drei Grenztemperaturen werden bei dem gezeigten Beispiel vier verschiedene Temperaturbereiche TB festgelegt.

[0037] Durch Programmierung der programmierbaren Logik 14 können die Grenztemperaturen individuell an die technologischen Erfordernisse des Speicherzellenfeldes 2 angepasst werden. Beispielsweise können die Grenztemperaturen jeweils um  $10^\circ\text{C}$  verringert werden (Kennlinie B) oder um  $10^\circ\text{C}$  erhöht werden (Kennlinie C). Auch eine stärkere Änderung der Grenztemperatur ist möglich, beispielsweise durch Erhöhung der Grenztemperaturen um  $20^\circ\text{C}$  (Kennlinie D) bzw. Absenkung der Grenztemperaturen um  $20^\circ\text{C}$  (Kennlinie E).

#### Patentansprüche

1. Dynamischer Speicher mit programmierbarer Auffrischfrequenz mit:

- (a) einem Speicherzellenfeld (2), das eine Vielzahl von adressierbaren Speicherzellen enthält;
- (b) einem einstellbaren Taktsignalgenerator (6), der ein Auffrisch-Taktsignal zum Auffrischen der Speicherzellen in dem Speicherzellenfeld (2) erzeugt;
- (c) einer Temperatursensorschaltung (16), die die Temperatur des Speichers (1) erfasst und ein Temperatur-Detektionssignal abgibt;
- (d) eine Einstellschaltung (11), die in Abhängigkeit von dem Temperatur-Detektionssignal die Auffrischfrequenz des von dem Taktsignalgenerator (6) abgegebenen Auffrisch-Taktsignals einstellt;
- (e) wobei die Auffrischfrequenzen für verschiedene Temperaturbereiche programmierbar sind.

2. Dynamischer Speicher nach Anspruch 1, dadurch gekennzeichnet,

dass die Temperatursensorschaltung (16) einen analogen Temperatursensor (17), der die Temperatur des Speichers (1) misst und ein analoges Temperatursignal abgibt und einen Analog/Digital-Wandler (19) aufweist, der das analoge Temperatursignal in das digitale Temperatur-Detektionssignal umwandelt.

3. Dynamischer Speicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Einstellschaltung (11) einen Decoder (12) aufweist, der in Abhängigkeit von dem digitalen Temperatur-Detektionssignal ein digital-

les Temperatur-Bereichsanzeigesignal generiert, das den Temperaturbereich anzeigt, in dem sich der Speicher (1) befindet, und eine programmierbare Logikschaltung (14), die für verschiedene Temperaturbereiche jeweils ein Einstellsignal zum Einstellen einer Auffrisch-Frequenz an den Taktsignalgenerator (6) abgibt.

4. Dynamischer Speicher nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der einstellbare Taktsignalgenerator (6) einen Oszillator (7) zur Generierung eines Taktsignals mit konstanter Frequenz und einen nachgeschalteten Frequenzteiler (9) aufweist, der die Frequenz des generierten Taktsignals zur Erzeugung des Auffrisch-Taktsignals teilt.

5. Dynamischer Speicher nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der Teilungsfaktor des Frequenzteilers (9) durch das von der programmierbaren Logikschaltung (14) abgegebene Einstellsignal eingestellt wird.

6. Dynamischer Speicher nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die programmierbare Logikschaltung (14) programmierbare Schaltelemente (20) enthält.

7. Dynamischer Speicher nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Auffrisch-Frequenz des von dem Taktsignalgenerator (6) erzeugten Auffrisch-Taktsignals mit steigender Temperatur des Speichers (1) durch die Einstellschaltung (12) durch Erniedrigung des Frequenzteilungsfaktors erhöht wird.

---

Hierzu 6 Seite(n) Zeichnungen

---



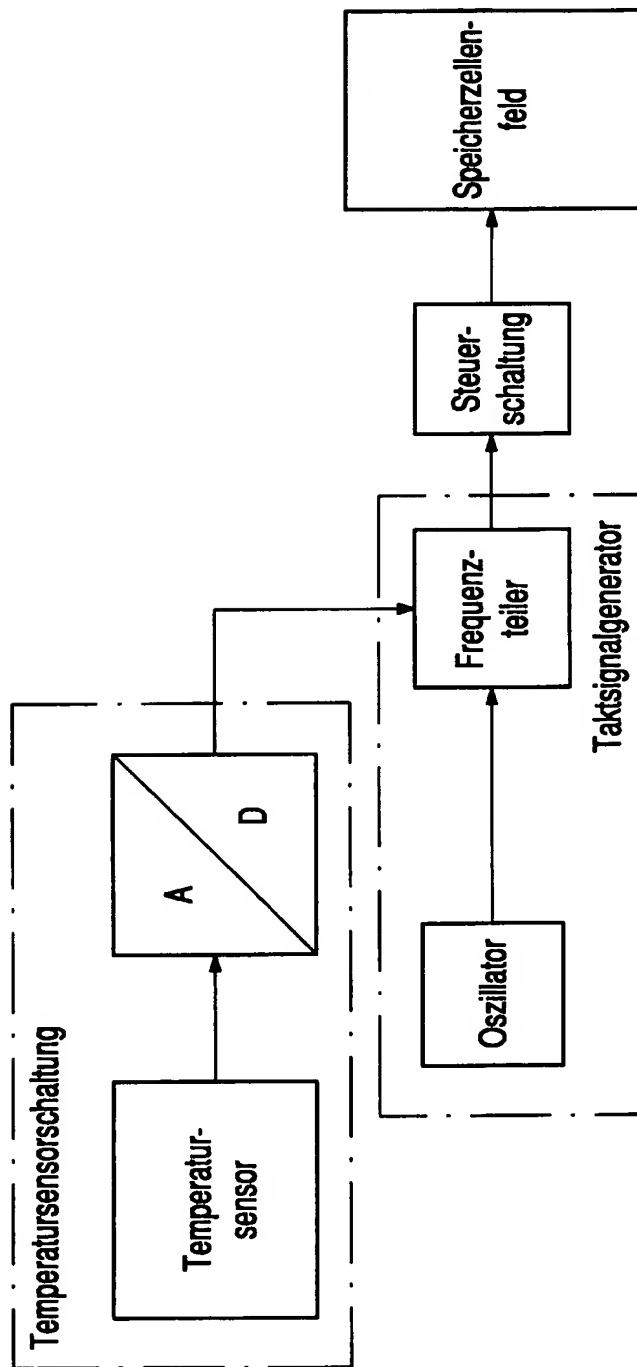
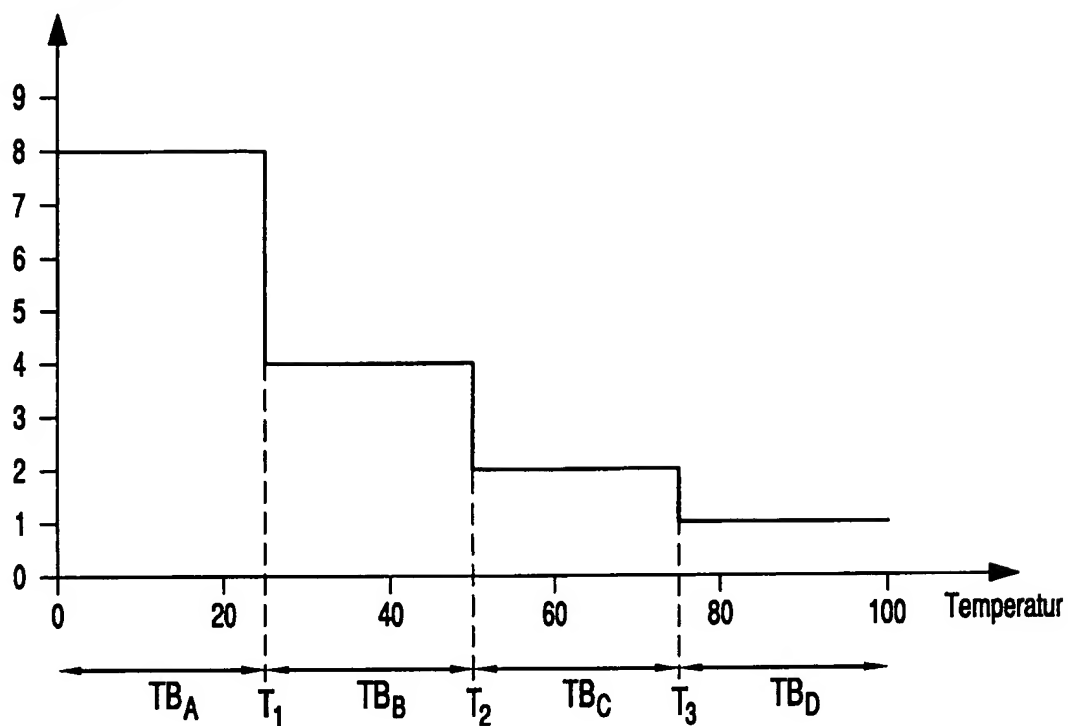


FIG 1 (Stand der Technik)



Normierte Auffrisch-  
Periodendauer



**FIG 2**

(Stand der Technik)



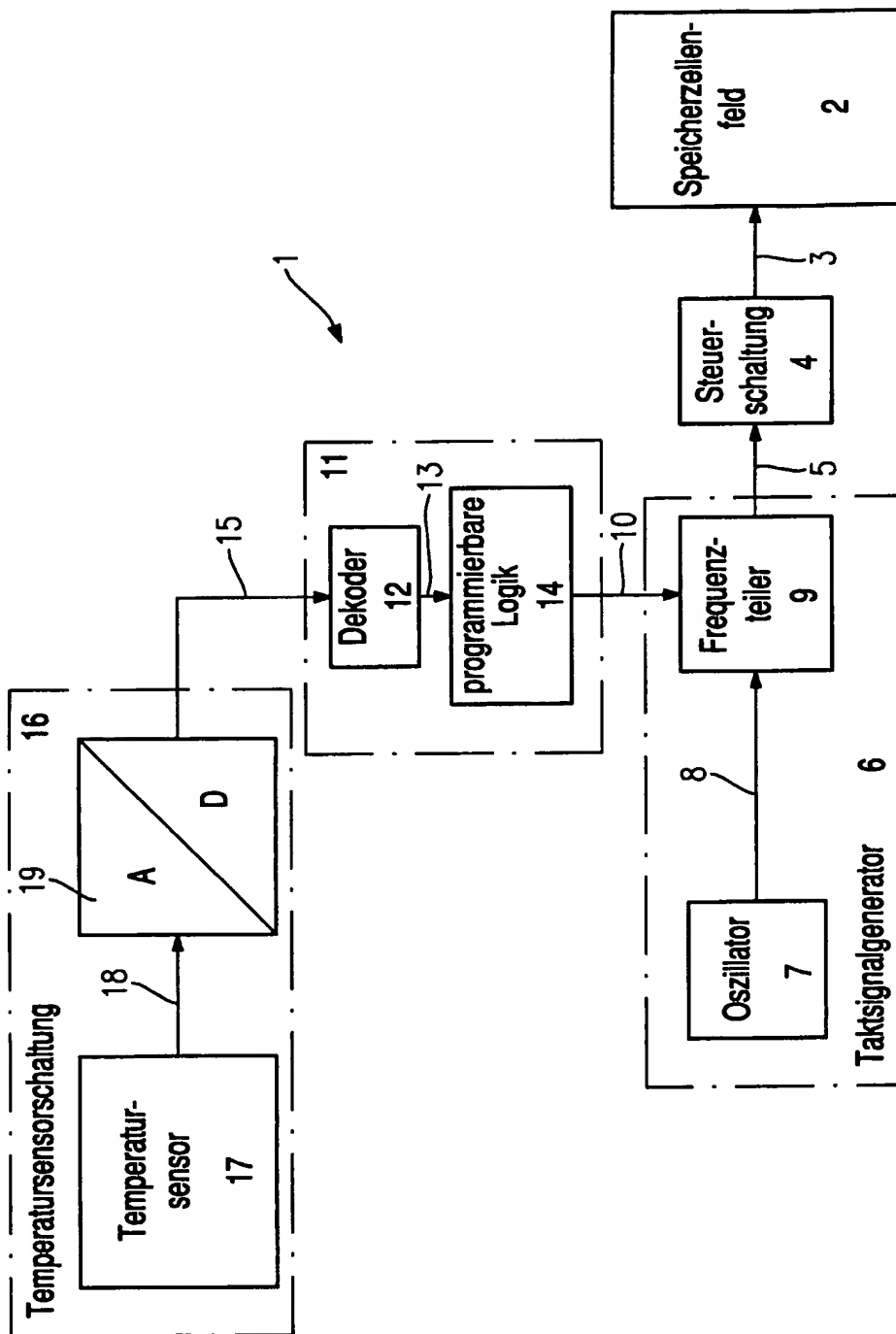


FIG 3



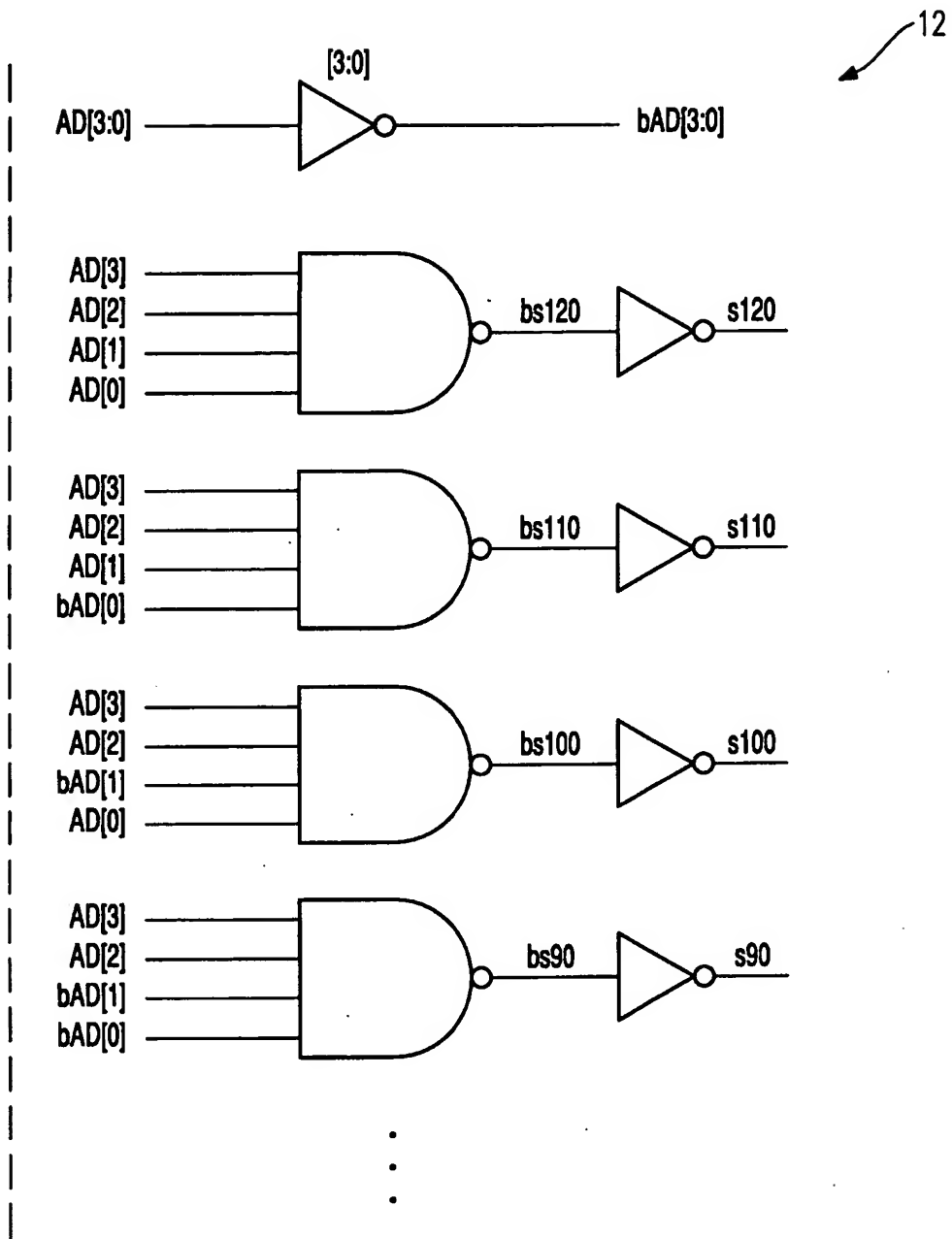


FIG 4



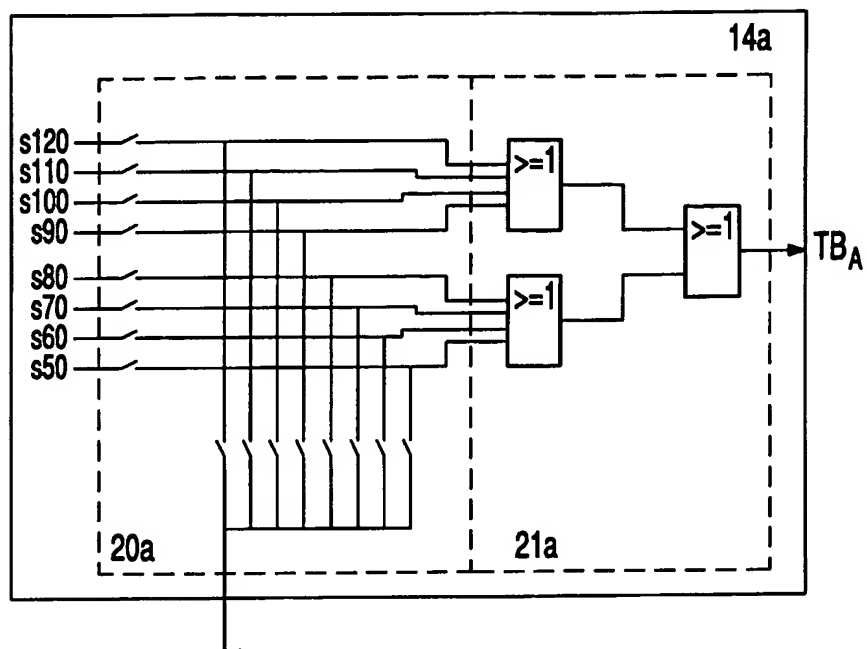


FIG 5a

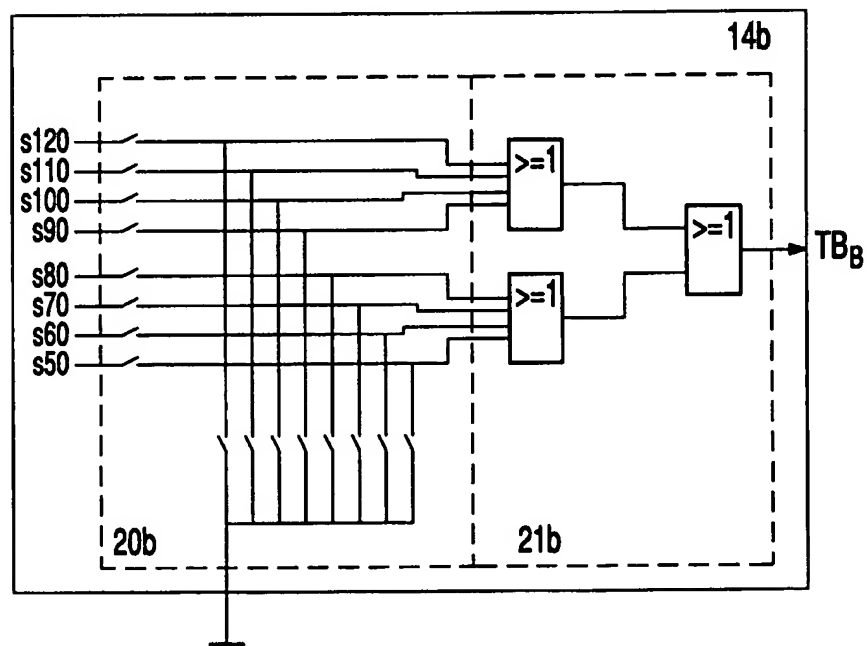


FIG 5b



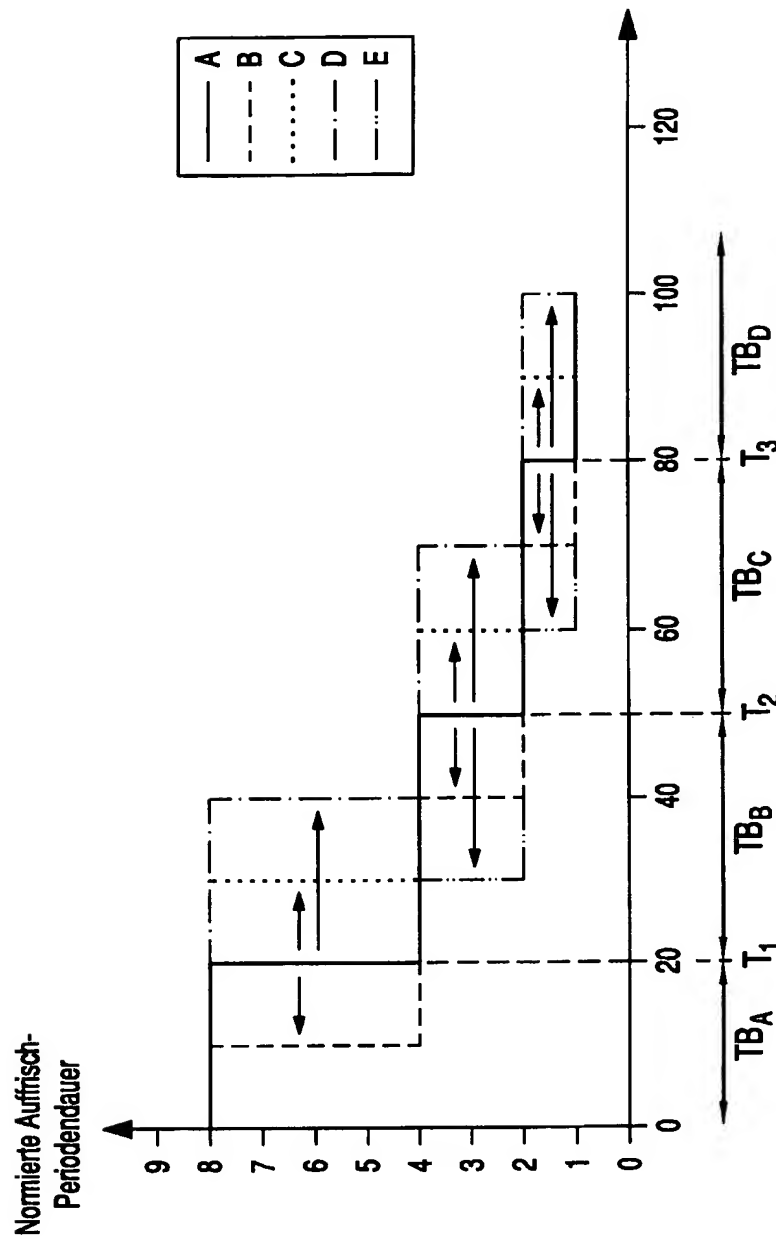


FIG 6